

## KOREAN PATENT ABSTRACTS (KR)

### Patent Laid-Open Publication (A)

(51) IPC Code: H01L 21/28

(11) Publication No.: 10-1998-0011881

(43) Publication Date: 30 April 1998

(21) Application No.: 10-1996-0029848

(22) Application Date: 23 July 1996

(73) Applicant: Samsung Electronics Co., Ltd.

(54) Title of the Invention: Method of Etching Hole for Field-Effect Electron  
Emitting Device

(57) Abstract:

Provided is a method of etching a hole for a field-effect electron emitting device. In the method, the hole is formed in an insulating layer of a substrate on which a cathode, the insulating layer, and a gate layer are sequentially formed. The method includes forming a photoresist mask for forming an aperture in the gate layer, etching the gate layer using the photoresist mask to form the aperture, etching the photoresist mask to a predetermined depth using O<sub>2</sub> plasma, and forming a hole by wet-etching the insulting layer with the remaining photoresist mask. Accordingly, it is possible to evenly form holes even in sub-micron units by etching a photoresist mask using O<sub>2</sub> plasma and increasing the hygroscopic property of the photoresist mask.

특1998-0011881

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>  
H01L 21/28

(11) 공개번호 특1998-0011881  
(43) 공개일자 1998년04월30일

(21) 출원번호 특1996-0029848  
(22) 출원일자 1996년07월23일  
(71) 출원인 삼성전자 주식회사 김광호  
경기도 수원시 팔달구 매탄동 416번지  
(72) 발명자 김종민  
서울특별시 종로구 창신2동 615-89  
(74) 대리인 이영필, 권석훈, 윤창일

심사청구 : 없음

(54) 전계 효과 전자 방출 소자의 홀 식각 방법

요약

본 발명은 전계 효과 전자 방출 소자의 홀 식각 방법에 관한 것으로, 음극, 절연층 및 게이트층이 순차로 적층된 기판 상의 절연층에 홀을 형성하기 위한 전계 효과 전자 방출 소자의 홀 식각 방법에 있어서, (가) 상기 게이트층 상에 개구부 형성용의 포토레지스트 마스크를 형성하는 단계; (나) 상기 포토레지스트 마스크를 이용하여 게이트층을 식각하여 개구부를 형성하는 단계; (다) 산소 플라즈마로 상기 포토레지스트 마스크를 소정의 두께 만큼 식각하여 제거하는 단계; 및 (라) 상기 식각된 포토레지스트 마스크를 이용하여 습식 식각법으로 상기 절연층을 식각하여 홀을 형성하는 단계;를 포함하여, 02 플라즈마로 포토레지스트 마스크를 적절하게 식각하여 줌으로써, 포토레지스트의 흡습성을 높여 화학적 습식 식각법으로 스브미크로 단위의 홀들도 균일하게 형성할 수 있는 장점이 있다.

도면도

도1

명세서

도면의 간단한 설명

제1도는 일반적인 전계 효과 전자 방출 소자의 단면도이고,  
제2도는 제1도의 전계 효과 전자 방출 소자의 홀 식각 방법을 보여주는 단면도이며,  
제3도는 이방성 식각법에 의한 홀 형성시에 소자에 나타나는 문제점을 설명하기 위한 단면도,  
제4도는 종래의 전계 효과 전자 방출 소자의 홀 식각 방법의 문제점을 설명하기 위한 설명도이며,  
제5도 및 제6도는 본 발명에 따른 전계 효과 전자 방출 소자의 홀 식각 방법을 보여주는 단면도이며, 그리고 제7도는 마이크로팁을 형성하는 방법을 보여주는 단면도이다.

\* 도면의 주요부분에 대한 부호의 설명

- |                |          |
|----------------|----------|
| 1 : 배면 기판      | 2 : 음극   |
| 2' : 마이크로 팁    | 3 : 절연층  |
| 3a : 홀         | 4 : 게이트  |
| 4a : 개구부       | 5 : 양극   |
| 6 : 전면 기판      | 7 : 형광막  |
| 8 : 포토레지스트 마스크 | 9 : 전하   |
| 10 : 기포        | 11 : 불활층 |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전계 효과 전자 방출 소자의 홀 식각 방법에 관한 것이다.

도 1은일반적인 전계 효과 방출 소자의 단면도이다. 도시된 바와 같이, 종래의 전계 효과 전자 방출 소자는, 배면 기판(1) 상에 음극(2)이 다수 마련되고, 각 음극(2)의 위에는 다수의 마이크로 팁(2')들이 어레이 형태로 형성되어 있다. 이 마이크로 팁(2')들은 음극(2) 위에 형성된 절연층(3)의 홈(3a) 내에 마련되어 있다. 그리고 절연층(3)의 위에는 홈(3a)에 대응하는 개구부(4a)를 가지는 게이트(4)들이 적층되어 있다. 그리고 게이트(4)를 위에는 스페이서(미도시)에 의해 일정한 간격을 두고 지지되는 전면 기판(6)이 마련되어 있으며, 이 전면 기판(6) 상에는 마이크로 팁(2')과 대향하도록 다수의 양극(5)이 형성되어 있고, 양극(5) 상에는 형광막(7)이 형성되어 있다.

이러한 전계 효과 전자 방출 소자의 마이크로 팁 어레이를 접지시키고, 게이트(4)들과 양극(5)들 사이에 일정한 전압이 인가되면, 전자들이 진공중으로 방출되어 양극(5)들에 도착하게 되며, 이 때 양극(5)들의 전압에 의해 가속된 전자들은 일정한 운동 에너지를 가지고 형광막(7)에 충돌하게 된다. 따라서 전자들의 운동 에너지가 형광막(7)에 전달되어 형광막(7)은 전자의 운동 에너지를 전달받아 여기되어 빛을 방출하게 된다.

이와 같은 구조의 전계 효과 전자 방출 소자의 홈(3a)을 형성하기 위해서는, 제2도에 도시된 바와 같이, 포토레지스트 마스크(8)를 형성한 다음 플라즈마 에칭법을 이용하여 게이트 금속층을 식각하면 게이트(4)가 형성된다. 이와 같은 이방성 식각인 플라즈마 에칭법을 사용하여 계속적으로 절연층(3')을 식각하게 되면, 제3도에 도시된 바와 같이, 홈을 형성하는 절연층의 식각면이 게이트(4)의 수직면에 연장되도록 형성된다. 이와 구조의 홈 속에 제3도에 도시된 바와 같이 마이크로팁(2')을 형성한 다음, 음극(2)를 접지하고 게이트(4)에 양의 바이어스 전압을 인가하면, 마이크로팁(2')의 상부에 전계가 형성되어 마이크로팁(2')으로부터 전자가 방출된다. 그러나, 이러한 홈(3a)구조를 갖는 절연층(3')의 식각면에는 식각공정에 의한 불순물 등이 생성되어 게이트(4)와 음극(2) 간에 형성된 전계에 의해 전하(9)가 생성될 수가 있다. 이러한 전하(9)들은 누설전류의 근원이 되는 것으로, 소모 전력을 크게할 뿐 만 아니라 게이트(4)와 음극(2)를 단락시키거나 하여 소자의 수명을 단축시키는 등의 악영향을 미친다.

이를 방지하기 위해서는, BOE 에천트 등의 화학적 식각액을 사용하는 습식 식각법으로 절연층(3')을 식각하여, 게이트(4)의 하부를 제1도에 도시된 바와 같이, 언더컷팅(undercutting)을 해야 한다. 이와 같이, 언더컷팅을 해주면 절연층(3)의 식각면에서 전하가 생성되는 것은 막을 수 있다.

그러나, 이러한 BOE에 의한 습식 식각법으로 홈을 형성하는 방법에는, 식각액에서 생성되는 기포 때문에 절연층(3') 자체가 식각되지 않는 문제점이 있다. 이는 식각액에 기포(10)가 발생되면, 기포(10)가 제4도에 도시된 바와 같이, 포토레지스트(8) 및 게이트(4)의 개구부(4a)를 막아버려 식각액이 절연층에 도달하지 못하기 때문이다. 이러한 현상은 홈 직경이 약 1~1.2 $\mu$ m 이하이면 극단적으로 많이 나타나서 절연층에 제1도에 도시된 바와 같은 홈이 형성되지 않는 곳이 나타나게 된다.

#### 발명이 이루고자하는 기술적 과제

본 발명은 상기와 같은 문제점을 개선하기 위하여 창안된 것으로, 기포에 의해 포토레지스트 마스크 혹은 게이트의 개구부가 막히는 현상을 없애주는 전계 효과 전자 방출 소자의 홈 식각 방법을 제공하는데 그 목적이 있다.

#### 발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여 본 발명에 따른 전계 효과 방출 소자의 홈 식각 방법은, 음극, 절연층 및 게이트층이 순차로 적층된 기판 상의 절연층에 홈을 형성하기 위한 전계 효과 전자 방출 소자의 홈 식각 방법에 있어서,

- (가) 상기 게이트층 상에 개구부 형성용의 포토레지스트 마스크를 형성하는 단계;
- (나) 상기 포토레지스트 마스크를 이용하여 게이트층을 식각하여 개구부를 형성하는 단계;
- (다) 산소 플라즈마로 상기 포토레지스트 마스크를 소정의 두께 만큼 식각하여 제거하는 단계; 및
- (라) 상기 식각된 포토레지스트 마스크를 이용하여 습식 식각법으로 상기 절연층을 식각하여 홈을 형성하는 단계;를 포함하는 것을 특징으로 한다.

본 발명에 있어서, 상기 (나) 단계에서, 상기 게이트층은  $\text{Cl}_2$  개스로 식각하는 것이 바람직하고,

상기 (다) 단계에서 상기 포토레지스트 마스크는 원래 두께의 1/3 만큼 식각하여 제거하되, 상기 산소 플라즈마로 1~1.5 분 식각되는 것이 바람직하다.

이하 도면을 참조하면서 본 발명에 따른 전계 방출 표시 소자의 홈 식각 방법을 설명한다.

먼저, 유리 기판(1) 상에 음극(2)들을 형성하고, 절연층(3') 및 게이트층을 순차적으로 적층한 다음, 게이트층 상에, 제5도에 도시된 바와 같이, 개구부 형성용의 포토레지스트 마스크(8)를 형성한다. 여기서, 음극(2)은 ITO 혹은 Cr을 증착하여 형성하고, 절연층(3')은 플라즈마 강화 화학 기상 증착(PECVD; plasma enhanced chemical vapor deposition)법으로 1 $\mu$ m 두께로 증착하며, 게이트층은 Cr을 증착하여 형성한다. 또한, 포토레지스트 마스크(8)는 포토레지스트를 게이트층 상에 스핀 코팅(spin coating)한 다음, 스테퍼(stepper) 혹은 전자-빔을 이용한 포토리소그래피(photolithography)법으로 패터닝하여 형성한다.

다음에, 포토레지스트 마스크(8)를 이용하여  $\text{Cl}_2$  개스로 Cr 게이트층을 식각하여 개구부(4a)를 형성한다. 이때, 포토레지스트 마스크(8)는 약간 벗겨(strip) 지고 있으나, 홈 자체의 면적비 때문에 습식 식각법으로 절연층을 식각할 경우 식각액이 침투하지 못한다.

이를 해소하기 위하여, 산소 플라즈마로 포토레지스트 마스크(8)를 약 1/3 두께 만큼(약 2000 Å) 식각하여

짜아내면, 제6도에 도시된 바와 같이, 포토레지스트 마스크(8')의 가장자리가 테이퍼링(tapering)되는 동시에 포토레지스트의 화학 식각액과의 결합(bonding) 능력이 향상되어, 포토레지스트 마스크(8')의 홀로 쉽게 침투하게 된다. 이와 같이 하면, 습식 식각시 절연층에 홀들이 아주 균일하게 형성될 수 있고, 서브미크론 단위의 홀들도 잘 형성될 수 있다. 또한, 포토레지스트 마스크(8')는 식각 공정 끝까지 남아 있어야 한다. 이는 포토레지스트 마스크(8')가 너무 벗겨지면, 제6도의 "A 영역"에 도시된 바와 같이, 식각액이 게이트(4)와 아주 얇은 스텝 커버리지(step coverage) 속으로 파고들어 절연층(3)에 원하지 않는 식각을 행하게 된다. 이를 방지하고 표면 적응 능력을 높이기 위하여, O<sub>2</sub> 플라스마 식각 공정은 1~1.5분 정도 수행하는 것이 적절하다.

다음에, 식각된 포토레지스트 마스크(8')를 이용하여 B0E 에천트(etchant)를 사용하는 습식 식각법으로 절연층(3')을 식각하여 홀(3a)을 형성한다.

이상과 같이, 절연층(3)에 홀(3a)이 형성되면, 제7도에 도시된 바와 같이, 게이트(4) 상에 A1을 증착하고 패터닝하여 분할층(11)을 형성한 다음, Mo를 증착하여 마이크로팁(2')을 형성한다. 여기서, 증착 부산물인 Mo 층(2')을 분할층(11)을 A1 식각액으로 제거하는 리프트 오프 기법으로 제거하여 제1도에 도시된 바와 같은 전계 효과 전자 방출 소자를 완성한다.

이상과 같은 공정에 의해 형성된 전계 효과 전자 방출 소자의 음극을 접지하고 게이트에 양의 바이어스 전압을 인가하면, 마이크로팁 상에 강한 전계가 형성되어 마이크로팁들로부터 전자가 방출된다. 이들 방출된 전자들이 양극 상에 도포된 형광막을 때리게 되어 소망하는 발광이 일어나게 된다.

#### 발명의 효과

이상 설명한 바와 같이, 본 발명에 따른 전계 효과 전자 방출 소자의 홀 식각 방법은, 첫째 O<sub>2</sub> 플라스마로 포토레지스트 마스크를 적절하게 식각하여 좁은으로써, 포토레지스트의 흡습성을 높여 화학적 습식 식각법으로 서브미크론 단위의 홀들도 균일하게 형성할 수 있는 장점이 있다. 그리고 포토레지스트 마스크는 약한 식각하는 것이므로 게이트 스텝 커버리지를 완벽하게 보호해주며, 식각에 의해 포토레지스트가 테이퍼링되더라도 사전에 식각된 게이트 개구부의 직경이 균일하고, 절연층 식각시, 이 게이트가 마스크로서의 역할을 수행하기 때문에 절연층이 형성되는 홀의 사이즈 혹은 모양에 변동이 없다.

#### (5) 청구의 범위

**청구항 1.** 음극, 절연층 및 게이트층이 순차로 적층된 기판 상의 절연층에 홀을 형성하기 위한 전계 효과 전자 방출 소자의 홀 식각 방법에 있어서, (가) 상기 게이트층 상에 개구부 형성용의 포토레지스트 마스크를 형성하는 단계; (나) 상기 포토레지스트 마스크를 이용하여 게이트층을 식각하여 개구부를 형성하는 단계; (다) 산소 플라스마로 상기 포토레지스트 마스크를 소정의 두께 만큼 식각하여 제거하는 단계; 및 (라) 상기 식각된 포토레지스트 마스크를 이용하여 습식 식각법으로 상기 절연층을 식각하여 홀을 형성하는 단계를 포함하는 것을 특징으로 하는 전계 효과 전자 방출 소자의 홀 식각 방법.

**청구항 2.** 제1항에 있어서, 상기 음극은 ITO 혹은 Cr으로 형성되고, 상기 절연층은 플라스마 강화 화학 기상 증착법으로 1 $\mu$ m 두께로 증착되며, 상기 게이트층은 Cr로 형성된 것을 특징으로 하는 전계 효과 전자 방출 소자의 홀 식각 방법.

**청구항 3.** 제1항에 있어서, 상기 (가) 단계는, 포토레지스트를 상기 게이트층 상에 스프인 코팅하는 서브 단계; 및 상기 코팅된 포토레지스트를 스테퍼 혹은 전자-빔을 이용한 포토리소그래피법으로 패터닝하는 서브 단계를 포함하는 것을 특징으로 하는 전계 효과 전자 방출 소자의 홀 식각 방법.

**청구항 4.** 제2항에 있어서, 상기 (나) 단계에서, 상기 게이트층은 Cl<sub>2</sub> 개스로 식각하는 것을 특징으로 하는 전계 효과 전자 방출 소자의 홀 식각 방법.

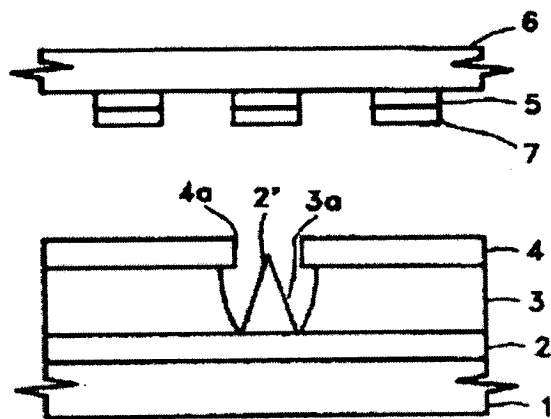
**청구항 5.** 제1항에 있어서, 상기 (다) 단계에서 상기 포토레지스트 마스크는 원래 두께의 1/3만큼 식각하여 제거하는 것을 특징으로 하는 전계 효과 전자 방출 소자의 홀 식각 방법.

**청구항 6.** 제1항에 있어서, 상기 (다) 단계에서, 상기 포토레지스트 마스크는 상기 O<sub>2</sub> 플라스마로 1~1.5 분 식각되는 것을 특징으로 하는 전계 효과 전자 방출 소자의 홀 식각 방법.

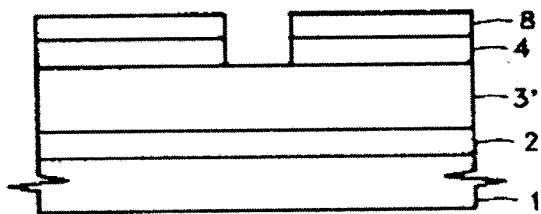
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임

도면

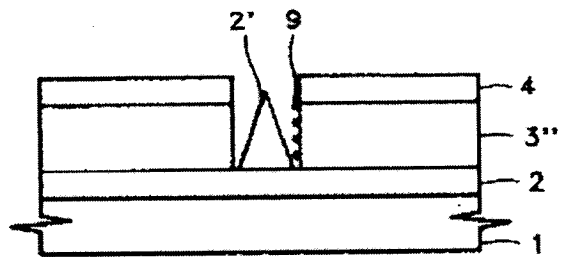
도 1



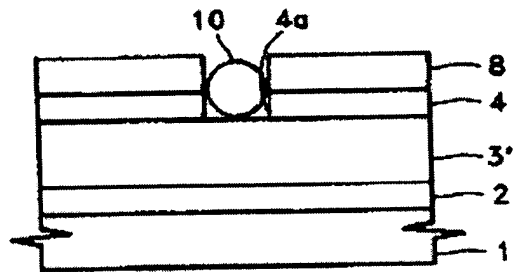
도 2



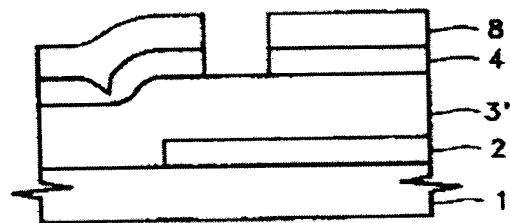
도 3



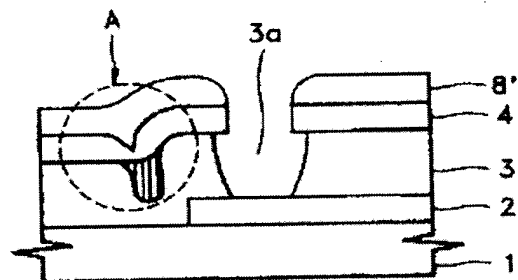
도 24



도 25



도 26



도 17

